

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64016

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3065			H 0 1 L 21/302	N
C 3 0 B 23/02			C 3 0 B 23/02	
H 0 1 L 21/205			H 0 1 L 21/205	
21/265			21/265	W

審査請求 有 請求項の数4 O L (全 8 頁)

(21) 出願番号 特願平7-218773

(22) 出願日 平成7年(1995)8月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 獅子口 清一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 基板表面の自然酸化膜を高真空アニール処理、あるいは水素ガス、シラン系ガス、またはGeH<sub>4</sub>ガスによる還元処理により除去し、薄膜成長を行うプロセスにおいて、従来よりも低温で自然酸化膜を除去する。

【解決手段】 Si単結晶基板表面にGeイオンを注入する工程と、高真空中でSi単結晶基板を加熱してSi単結晶基板表面の自然酸化膜を除去する工程と、Si単結晶基板上にSi膜、Si<sub>1-x</sub>Ge<sub>x</sub>合金膜、Ge膜を形成する工程とを有している。

## 【特許請求の範囲】

【請求項1】 Si単結晶基板表面にGeイオンを注入する工程と、高真空中で前記Si単結晶基板を加熱して該Si単結晶基板表面の自然酸化膜を除去する工程と、前記Si単結晶基板上にSi膜、 $\text{Si}_x\text{Ge}_{1-x}$ 合金膜、Ge膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 Si単結晶基板表面にGeイオンを注入する工程と、減圧下で前記Si単結晶基板を加熱すると共に、水素ガス、シラン系ガス、および $\text{GeH}_4$ ガスのうちのいずれかのガスを該Si単結晶基板表面に供給することにより該Si単結晶基板表面の自然酸化膜を除去する工程と、前記Si単結晶基板上にSi膜、 $\text{Si}_x\text{Ge}_{1-x}$ 合金膜、Ge膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 前記Geイオンの注入条件として、Si単結晶基板表面のGe組成を1%以上とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 Si単結晶基板表面にGeイオンを注入する前記工程は、前記Si単結晶基板上にSi酸化膜を形成するステップと、前記Si酸化膜を介して、前記Si単結晶基板と該Si酸化膜との界面近傍におけるGeイオン濃度が最大となる注入エネルギーでGeイオンを注入するステップと、前記Si酸化膜を除去するステップとを含む請求項1乃至3のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、半導体基板表面の処理方法に関する。

## 【0002】

【従来の技術】半導体基板の表面に形成される自然酸化膜の除去は、ULSIなど半導体装置の製造プロセスにおいて重要な技術となっている。例えば、Si基板上にCVD法でSiエピタキシャル成長を行うプロセスがあるが、このプロセスでは自然酸化膜を成長装置内で除去する必要がある。また、ダイナミックRAM(DRAM)においては、Si基板上のデバイス活性層と配線層とを電気的に接続するため、コンタクト孔をポリSiで埋設するプロセスがあるが、このプロセスにおいてもコンタクト抵抗を低減する目的からポリSi成長前に基板表面の自然酸化膜を除去する必要がある。その他、半導体基板上に薄膜成長を行うプロセスにおいては、基板/薄膜界面での自然酸化膜残留がデバイス特性上問題となることが多く、薄膜形成前に基板表面の自然酸化膜を除去する技術が必要とされている。

【0003】従来、Si基板表面に形成された自然酸化膜を除去する方法としては、水素還元、高真空アニール、シラン還元、もしくは $\text{GeH}_4$ 還元などの方法が開

発されており、Siエピタキシャル成長前処理やポリSiコンタクトプラグ形成前処理などへの適用が検討されている。

【0004】Siエピタキシャル成長は、基板洗浄工程、成長炉内での自然酸化膜除去工程、およびエピタキシャル膜の成長工程により行われる。通常、基板洗浄は、70℃程度に加熱した $\text{H}_2\text{O}_2$ 、 $\text{NH}_4\text{OH}$ 、 $\text{H}_2\text{O}$ 混合溶液を用い、基板表面の汚染物質を除去すると同時に、表面を汚染から保護する自然酸化膜を形成する。その後、エピタキシャル成長炉内で水素還元、シラン還元、もしくは高真空中アニールにより自然酸化膜を除去し、シラン系ガスをを用いたLPCVDによりエピタキシャル膜を成長する。水素還元法は、基板温度を1050℃以上に加熱し、常圧、もしくは数〜数10 Torrの減圧下で、水素ガスを基板表面に供給して行う。この方法は、比較的容易に基板表面の自然酸化膜を除去できることから、従来LSI製造工程として最も一般的に使用されている技術である。高真空アニール法は、到達真空度 $<1 \times 10^{-9}$  Torrの高真空チャンバーを備えた分子線エピタキシー(MBE)装置などで用いられている方法で、 $\sim 1 \times 10^{-9}$  Torr程度の高真空下で950℃程度に基板を加熱することにより自然酸化膜を除去している。しかし、最近のLSIの高集積化に伴う素子微細化の要請から、製造プロセス温度を低下させる必要があり、より低温で自然酸化膜を除去する方法として、基板を希HF液に浸した後、純水による水洗し乾燥した基板を成長炉内に導入し、基板を800℃程度に加熱し、水素希釈の0.2%  $\text{SiH}_4$ ガスを供給して自然酸化膜を除去するシラン還元法が検討されている。また、 $\text{SiH}_4$ の代わりに $\text{GeH}_4$ ガスを供給する $\text{GeH}_4$ 還元法も $\text{Si}_x\text{Ge}_{1-x}$ 薄膜成長などのプロセスで用いられている。この $\text{GeH}_4$ 還元法の場合、プロセス温度を650℃まで低温化できる(例えば、特開平5-259091号公報)。

【0005】また、基板-配線層間のポリSiコンタクト形成においては、エピタキシャル成長と同様に、成長炉内で水素還元もしくはシラン還元により自然酸化膜を除去した後、シラン系ガスをを用いたLPCVDによりポリSi薄膜を成長する。ポリSiコンタクトの場合は、コンタクト抵抗の低減を目的としているので、エピタキシャル成長の場合ほど完全に自然酸化膜を除去する必要はなく、部分的に除去できればよい。このため、エピタキシャル成長の場合と比較して低温で処理可能である。例えば水素還元の場合は基板温度750℃以上で、シラン還元の場合においては基板温度650℃以上で処理することによりコンタクト抵抗低減に効果が見られている(例えば、1992年秋季応用物理学会予稿集30a-ZH-1)。

## 【0006】

【発明が解決しようとする課題】以上説明したように、

基板表面の自然酸化膜処理方法としては、水素還元、高真空アニール、シラン還元、およびGeH<sub>4</sub>還元などの方法があるが、素子サイズ微細化への要請から処理温度を低下させる必要があり、水素還元や高真空アニールよりも低温で処理可能なシラン還元法もしくはGeH<sub>4</sub>還元法が重要となっている。しかしながら、このシラン還元法もしくはGeH<sub>4</sub>還元法には以下の問題がある。

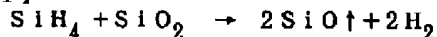
【0007】まず、前述した特開平5-259091号公報に記載のSiエピタキシャル成長の場合、通常のH<sub>2</sub>O<sub>2</sub>、NH<sub>4</sub>OH、H<sub>2</sub>O混合溶液による基板洗浄の代わりに希HF処理を使用している。これは、成長炉内に基板を導入する前に基板表面に形成される自然酸化膜をできるだけ低減させる目的でなされたものであり、成長炉内での自然酸化膜除去温度を低下させる効果がある。しかし、この希HF処理による方法では、エピタキシャル膜/基板界面に炭素が残留すること、および、その結果、エピタキシャル膜質が悪化するという問題がある。特に、ゲート長0.15μm以下の超微細MOS-FETのチャネル領域へのエピタキシャル膜の適用では、膜質がキャリア移動度やゲート酸化膜耐圧などに大きく影響するため、デバイス動作上大きな問題となる。このため、通常のH<sub>2</sub>O<sub>2</sub>、NH<sub>4</sub>OH、H<sub>2</sub>O混合溶液による基板洗浄法を用いて、かつ従来よりも低温で基板表面の自然酸化膜を除去する方法を発明する必要がある。

【0008】また、前述した、例えば、1992年秋季応用物理学会予稿集30a-ZH-1に記載のポリSi膜によるコンタクトプラグ形成の場合、還元処理後に成膜した薄膜の表面に凹凸が形成されるという問題があり、ULSIのさらなる高集積化の障壁となる。この点について、シラン還元法の場合について以下に詳細に述べる。GeH<sub>4</sub>還元法の場合もシラン還元法と同様である。

【0009】シラン還元法では、以下の化1式の化学反応により基板表面の自然酸化膜(SiO<sub>2</sub>)がシラン(SiH<sub>4</sub>)ガスによって還元されて除去されることが知られている(例えば、1992年秋季応用物理学会予稿集30a-ZH-1)。

【0010】

【化1】



しかし、基板表面の自然酸化膜厚が一定でないなどの理由で、基板表面の自然酸化膜は、基板面内全ての領域に亘って同時に除去されることはない。即ち、元々の自然酸化膜の薄い部分が最初に除去されて、基板表面で酸化膜が完全に除去された領域と未だ酸化膜が残った領域とが生じることになる。この状態でシラン還元を継続すると、酸化膜の残留した領域は除去が進むが、一方、酸化膜が除去されてシリコン基板が剥き出しになった領域で

はシリコン薄膜の成長が始まることになる。この結果、基板表面において酸化膜除去とシリコン膜成長が同時に起こり、表面に凹凸が形成される。この凹凸の段差は、シラン還元の条件にも依存するが、例えば、従来技術の項で説明した650℃の条件では、数10nmに達する。

【0011】シリコン薄膜の表面に凹凸が形成されることにより発生するULSI製造上の問題についてポリSiコンタクトを例に挙げて説明する。

【0012】DRAMなど半導体メモリーの高集積化により伴い、ポリSiのコンタクト径も縮小されている。例えば、デザインルール0.25μmレベルのULSIにおけるコンタクト孔サイズは、直径100nm、高さ1μm程度になると言われている。このような高アスペクト比のコンタクト孔をポリSi膜で埋設する場合、ノンドープポリSiでコンタクト孔を埋設した後にリン拡散もしくはイオン注入などにより不純物を導入する方法ではコンタクト孔底部まで十分に不純物を導入することができない。このため、成膜時にin-situで不純物をドーピングする方法が使用される。例えば、SiH<sub>4</sub>-PH<sub>3</sub>系もしくはSiH<sub>4</sub>-B<sub>2</sub>H<sub>6</sub>系LPCVDによりリンドープもしくはボロンドープポリシリコン膜によりコンタクト孔を埋設する。

【0013】シラン還元法を用いてリンドープポリSiをコンタクト孔に埋設する場合、シラン還元処理によりコンタクト底面の自然酸化膜除去を行った後にin-situリンドープポリSi膜でコンタクト孔を埋設する。しかしながら、従来のシラン還元法では、シラン還元処理時にすでに数10nmのSi膜が成長し、100nm径のコンタクト孔の大部分がノンドープポリSi膜で埋設されてしまうことになる。このため、シラン還元処理後にin-situリンドープポリSi膜を成長しても、コンタクト孔中の平均リン濃度が低下し、ポリSi抵抗が増大するという問題がある。ボロンドープの場合もリンドープと同様にポリSi抵抗が増大するという問題がある。

【0014】また、前述したMOS-FETのチャネル層にSiエピタキシャル膜を適用する場合においても、エピタキシャル膜の表面に凹凸があるとMOSの酸化膜耐圧が劣化するという問題が生じる。

【0015】以上、従来のシラン還元法もしくはGeH<sub>4</sub>還元法においては、膜質や表面凹凸の問題があることを述べた。したがって、前述したチャネル領域へのエピタキシャル膜適用やポリSiコンタクトプラグ適用においては、従来よりも低温で処理可能な水素還元もしくは高真空アニール処理の方法を発明する必要がある。

【0016】また、エピタキシャル膜の膜質、および表面の凹凸の影響の少ないデバイスへの適用に関しては、従来のシラン還元もしくはGeH<sub>4</sub>還元処理が適用可能であるが、この場合であっても、プロセス温度の低温化

が必須となっており、処理温度の低温化を進める必要がある。

【0017】本発明の技術的課題は、従来の高真空アニール、水素還元、シラン還元、もしくは $\text{GeH}_4$ 還元処理温度を大幅に低下させることである。

【0018】

【課題を解決するための手段】本発明による半導体装置の製造方法は、Si単結晶基板表面にGeイオンを注入する工程と、その後、高真空中で該基板を加熱する工程、あるいは減圧下で該基板を加熱し、水素ガス、シラン系ガスもしくは $\text{GeH}_4$ ガスを基板表面に供給する工程により、該基板表面の自然酸化膜を除去した後、該基板上にSi膜、 $\text{Si}_x\text{Ge}_{1-x}$ 合金膜、Ge膜を形成する工程を有することを特徴としている。

【0019】また、Geイオンの注入条件として、Si基板表面のGe組成を1%以上とすることを特徴としている。

【0020】さらに、Geイオンの注入方法として、Si単結晶基板上にSi酸化膜を形成するステップと、該酸化膜を介してSi基板と酸化膜との界面近傍におけるGeイオン濃度が最大となる注入エネルギーでGeイオンを注入するステップと、該酸化膜を除去するステップとを有することを特徴としている。

【0021】

【作用】 $\text{Si}_x\text{Ge}_{1-x}$ 合金の表面に形成される自然酸化膜は、Si表面の自然酸化膜と比較して揮発性が高いため、Si表面の場合と比較して低温で自然酸化膜除去が可能である。本発明の手段では、表面にあらかじめGeイオンを注入している。Geイオンを注入した直後は基板表面は、アモルファス状態の $\text{Si}_x\text{Ge}_{1-x}$ 合金膜が形成されるが、成長炉内で基板を加熱することにより低温で容易に結晶化され、単結晶の $\text{Si}_x\text{Ge}_{1-x}$ 合金膜となる。同時に最表面には、 $\text{Si}_x\text{Ge}_{1-x}$ の揮発性の高い酸化膜が形成される。この酸化膜は容易に低温で除去可能であるため、従来よりも低温で基板表面の自然酸化膜を除去可能となる。

【0022】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態による半導体装置の製造方法について説明する。

【0023】図1は、 $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ )合金膜のGe組成と自然酸化膜除去可能な温度の下限との関係を示す図である。このデータは、面方位(100)のSi基板上にUHV-CVD(高真空気相成長)装置を用いて周知の技術を用い $\text{Si}_x\text{Ge}_{1-x}$ 薄膜を成長した基板を用いて収集した。 $\text{Si}_x\text{Ge}_{1-x}$ 薄膜の形成は、基板温度600℃、成長炉内真空度 $1 \times 10^{-3}$ Torr、 $\text{Si}_2\text{H}_6$ 流量を10sccmとし、 $\text{GeH}_4$ ガス流量を0~10sccm変化させて0~10%のGe組成を持つ $\text{Si}_x\text{Ge}_{1-x}$ 膜を形成した。 $\text{Si}_x\text{Ge}_{1-x}$ 膜を形成した

1-x 膜形成後、 $\text{H}_2\text{O}_2$ 、 $\text{NH}_4\text{OH}$ 、 $\text{H}_2\text{O}$ 混合溶液を用いて基板を洗浄し、基板表面に自然酸化膜を形成している。

【0024】図1に示されるように、いずれの処理方法においても、Ge組成の増加に伴い、自然酸化膜除去可能な温度下限が低下されることが明らかとなった。また、その低下効果はGe組成1%程度でほぼ飽和していることも確認された。

【0025】図2に、Geイオン注入条件と注入後にSIMS(2次イオン質量分析)により測定したGe濃度の深さプロファイルの関係を示した。図2より、いずれの条件においてもGeピーク濃度がGe組成比で1%を超えていることがわかる。このGe深さプロファイルは、基板アニール時のGe拡散により変化するが、表面に形成される自然酸化膜に取り込まれるGe組成比は注入時のGe組成とほぼ一致することを、アニール後の自然酸化膜をXPS(X線光電子分光法)により確認している。

【0026】以上の基礎実験を基に、基板表面の自然酸化膜除去を試みた。以下この実施の形態について述べる。

【0027】[実施の形態1]まず、面方位(100)のSi基板に対し、電気炉を用いて熱酸化膜を20nm形成する。次に、図2を参考に、エネルギー20keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ の条件で酸化膜を通してGeイオンを基板に注入した後、1%希HF液によりこの酸化膜を除去する。この基板を70℃程度に加熱した $\text{H}_2\text{O}_2$ 、 $\text{NH}_4\text{OH}$ 、 $\text{H}_2\text{O}$ 混合溶液を用いた洗浄により、基板表面の汚染物質を除去すると同時に、表面を汚染から保護する自然酸化膜を形成する。その後、純水で5分間の水洗を行い、スピンドライヤーで乾燥した後、UHV-CVD装置のロードロック室に導入する。その後、基板を成長炉内に搬送した後、 $1 \times 10^{-3}$ Torr以下の高真空中で基板温度650℃で5分間アニール処理を行った後、同温度で $\text{Si}_2\text{H}_6$ ガスを10sccm供給してSiエピタキシャル膜を成長した。

【0028】図3は、エピタキシャル膜と基板界面の不純物量をSIMSによって測定したものであるが、希HF処理と640℃での $\text{GeH}_4$ 還元処理による従来プロセスでエピタキシャル膜を成長した場合と比較して、界面での酸素、炭素濃度が大幅に低減されたことがわかる。また、透過型電子顕微鏡によって界面の断面観察を行ったところ、本発明の場合界面に結晶欠陥が観察されなかったのに対し、従来法では界面に積層欠陥が観察された。

【0029】[実施の形態2]次に、本発明をポリSi膜形成に適用した例について説明する。

【0030】従来技術で説明したように、希HF処理および純水による水洗、乾燥したSi基板を、基板温度800℃、水素希釈の $\text{SiH}_4$ ガス雰囲気中熱処理するこ

とにより、基板表面の自然酸化膜を除去する。

【0031】このとき、従来技術の項目で説明したように、Si基板表面の自然酸化膜の膜厚が均一でないなどの理由で、自然酸化膜は基板表面に亘って同時に除去されることはない。このため、基板表面で酸化膜が完全に除去された領域と未だ残っている領域とが混在することになる。

【0032】これに対し、本発明の場合、実施の形態1で示したように、水素還元処理による方法でも自然酸化膜除去温度を、従来法のシラン還元処理と同等の800℃まで低温化できる。具体的には、実施の形態1の場合と同様に、まず、面方位(100)のSi基板に対し、電気炉を用いて熱酸化膜を20nm形成する。次に、図2を参考に、エネルギー20keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で酸化膜を通してGeイオンを基板に注入した後、この酸化膜を1%希HF液により除去する。この基板を70℃程度に加熱した $\text{H}_2\text{O}_2$ 、 $\text{NH}_4\text{OH}$ 、 $\text{H}_2\text{O}$ 混合溶液を用いた洗浄により、基板表面の汚染物質を除去すると同時に、表面を汚染から保護する自然酸化膜を形成する。その後、純水で5分間の水洗を行い、スピンドライアーで乾燥した後、通常のLPCVD装置に導入し、基板温度800℃で水素雰囲気中で5分間の熱処理を施すことにより、基板表面の自然酸化膜を除去する。その後、同一炉内で、基板温度を580℃とし、真空度1Torr、 $\text{SiH}_4$ 流量1000sccmでアモルファスSi膜を堆積する。その後、電気炉を用い、窒素雰囲気中で800℃、60分の熱処理を施して、ポリシリコン膜を得る。

【0033】以上の条件で形成したポリシリコン膜と従来法で形成したポリシリコン膜について、AFM(原子間力顕微鏡)により表面凹凸を測定した。その結果、従来法では、約25nmの表面凹凸が測定されたのに対して、本発明の方法によれば、2nm以下の平坦な表面が得られていることが確認された。また、ポリシリコン膜と基板界面の炭素量をSIMSで測定したところ、実施の形態1の場合と同様に、本発明の場合、界面炭素が完全に除去されていることが確認された。

【0034】[実施の形態3]本形態は、実施の形態2の多結晶シリコン膜形成方法をダイナミックRAM(DRAM)のポリシリコンコンタクト形成に適用したものである。

【0035】図4(a)に示すように、まず、面方位(100)、抵抗率 $10\Omega \cdot \text{cm}$ のP型シリコン基板101上に、LOCOS(選択酸化法)により、フィールド酸化膜102を形成する。次に、ゲート酸化膜103およびゲート電極104を形成し、ソース拡散層105とドレイン拡散層106を形成してスイッチングトランジスタの素子部を形成する。さらにCVDにより層間絶縁膜107を形成した後、拡散層に接続するコンタクト孔(ホール径0.1 $\mu\text{m}$ 、ホール高1 $\mu\text{m}$ )を形成す

る。

【0036】その後、実施の形態2で説明したように、熱酸化膜を20nm形成し、エネルギー20keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で酸化膜を通してGeイオンを注入する。この基板を70℃程度に加熱した $\text{H}_2\text{O}_2$ 、 $\text{NH}_4\text{OH}$ 、 $\text{H}_2\text{O}$ 混合溶液を用いた洗浄により、基板表面の汚染物質を除去すると同時に、表面を汚染から保護する自然酸化膜を形成する。その後、純水で5分間の水洗を行い、スピンドライアーで乾燥した後、通常のLPCVD装置に導入し、基板温度800℃で水素雰囲気中で5分間の熱処理を施すことにより、コンタクト孔下部の基板表面の自然酸化膜を除去する。次に、550℃で $\text{SiH}_4$ ガスおよび $\text{PH}_3$ ガスを $\text{PH}_3 / \text{SiH}_4$ 分圧比 $1 \times 10^{-3}$ 、全圧0.2Torrの条件で供給してリンドープトアモルファスSi膜を50nm成長し、コンタクト孔をアモルファスSi108で埋設する。さらに、850℃30分の熱処理を施してアモルファスSiを結晶化すると同時にリン原子を活性化してリンドープトポリSi109を形成する(図4(b))。その後、公知のプロセスを用い、DRAMを形成する。

【0037】以上の本発明の方法で形成したコンタクトプラグは基板/ポリSiプラグ界面の自然酸化膜がなく、かつ、プラグとなるポリSi中に電氣的に活性なリン原子が十分存在するため、コンタクト抵抗(基板/プラグ界面抵抗+プラグ抵抗)が大幅に低減される。例えば、基板/プラグ界面の界面抵抗は、シラン還元を施さないでプラグ形成した場合のほぼ半分に低減される(コンタクト抵抗としては75%に低減される)。また、従来法のシラン還元法により自然酸化膜除去を行った場合のプラグ抵抗との比較では、プラグ抵抗はほぼ1/5に低減される(コンタクト抵抗としては60%に低減される)。

【0038】[実施の形態4]次に、本発明を微細MOS-FETのソース・ドレイン領域の接合深さを浅くする目的で形成するせり上げ膜に適用した例について、図5(a)~(d)を参照して説明する。

【0039】まず、面方位(100)、抵抗率 $10\Omega \cdot \text{cm}$ のP型シリコン基板201上にLOCOS(選択酸化法)によりフィールド酸化膜202を形成する。次に、ゲート酸化膜203およびゲート電極204を形成する。次に、通常のLPCVD装置を用い、CVD酸化膜205を20nm成長する(図5(a))。その後、図5(b)のごとく、CVD酸化膜205を通して、エネルギー20keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件でGeイオンをP型シリコン基板201に注入する。さらに、図5(c)のごとく、ドライエッチングにより酸化膜をエッチングしてソース・ドレイン領域のCVD酸化膜205を除去すると共に、ゲート側壁に酸化膜サイドウォールを形成する。この基板を70℃程度に加熱した $\text{H}_2\text{O}_2$ 、 $\text{NH}_4\text{OH}$ 、 $\text{H}_2\text{O}$ 混合溶液を用いた洗

浄により、基板表面の汚染物質を除去すると共に、表面を汚染から保護する自然酸化膜を形成する。その後、純水で5分間の水洗を行い、スピンドライアーで乾燥した後、UHV-CVD装置のロードロック室に導入し、 $1 \times 10^{-6}$  Torr以下の真空度に達した後、基板を成長室に移載する。成長室内の真空度が $1 \times 10^{-9}$  Torr以下に達した後、基板を650℃に加熱し、自然酸化膜を除去し、さらに、同一温度で $\text{Si}_2\text{H}_6$ ガスを10 sccmの流量で供給してソース・ドレイン領域のみに選択的にSiエピタキシャル膜206を成長する(図5(d))。その後、公知の技術を用い、ソース・ドレイン拡散層を形成し、MOSデバイスを製造する。

【0040】この条件で形成したソース・ドレイン領域のエピタキシャル膜は、従来法で形成した膜と比較して、膜/基板界面の炭素汚染がなく、かつ結晶性が良好であることが確認されている。従来法の場合、膜/基板界面に多量の炭素が存在し、その結果、界面に結晶欠陥が観察されている。

【0041】以上、本形態では、高真空アニールおよび水素還元による方法について説明したが、膜表面の凹凸や膜質を問題としないプロセスにおいては、シラン還元もしくは $\text{GeH}_4$ 還元処理による方法も適用できる。この場合は、実施の形態1で説明したように、従来法よりも大幅に処理温度を低下させることができる。

【0042】また、本形態では、酸化膜を通してGeイオンを注入する方法について述べたが、酸化膜通さずに直接基板にGeイオンを注入する方法も当然考えられる。この場合、酸化膜形成および除去プロセスが削減できるが、基板表面でのGe組成を1%以上にするために、ドーパ量を1桁以上高くしなければならないという副作用もある点に注意する必要がある。

【0043】

【発明の効果】本発明による半導体装置の製造方法は、Si単結晶基板表面にGeイオンを注入する工程と、その後、高真空中で該基板を加熱する工程、あるいは減圧

下で該基板を加熱し、水素ガス、シラン系ガス、または $\text{GeH}_4$ ガスを基板表面に供給する工程により、該基板表面の自然酸化膜を除去した後、該基板上にSi膜、 $\text{Si}_x\text{Ge}_{1-x}$ 合金膜、Ge膜を形成する工程を有するため、高真空アニール、水素還元、シラン還元、 $\text{GeH}_4$ 還元による自然酸化膜除去温度を低下させることができる。また、シリコンエピタキシャル成長膜の膜質を完全できる。さらに、ポリシリコンコンタクトプラグを用いたコンタクト抵抗を低減できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1におけるGe組成と自然酸化膜除去可能な温度下限との関係を示した図である。

【図2】本発明の実施の形態1におけるGeイオン注入条件とGe濃度の深さプロファイルを示した図である。

【図3】本発明の実施の形態1におけるエピタキシャル膜と基板界面の酸素、炭素残留濃度を示した図である。

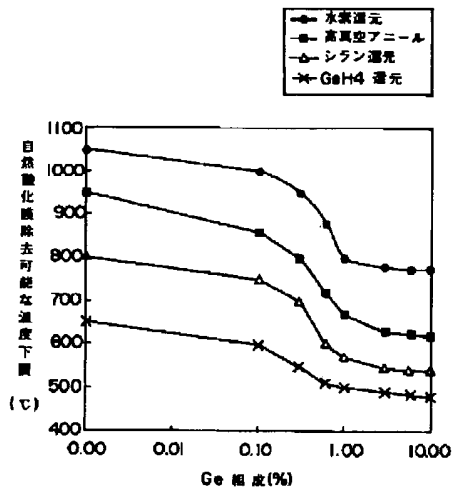
【図4】(a)および(b)共に、本発明の実施の形態3におけるDRAMの製造工程を説明する断面図である。

【図5】(a)～(d)のいずれも、本発明の実施の形態4のMOS-FETの製造工程を説明する断面図である。

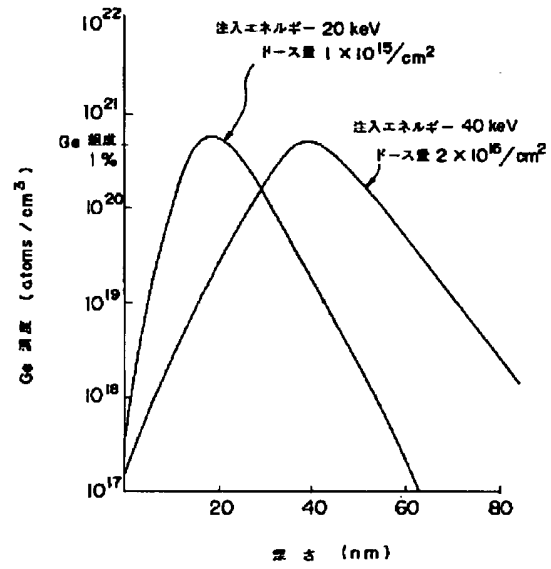
【符号の説明】

101、201	P型シリコン基板
102、202	フィールド酸化膜
103、203	ゲート酸化膜
104、204	ゲート電極
105	ソース拡散層
106	ドレイン拡散層
107	層間絶縁膜
108	アモルファスSi
109	リンドーパトポリSi
205	CVD酸化膜
206	Siエピタキシャル膜

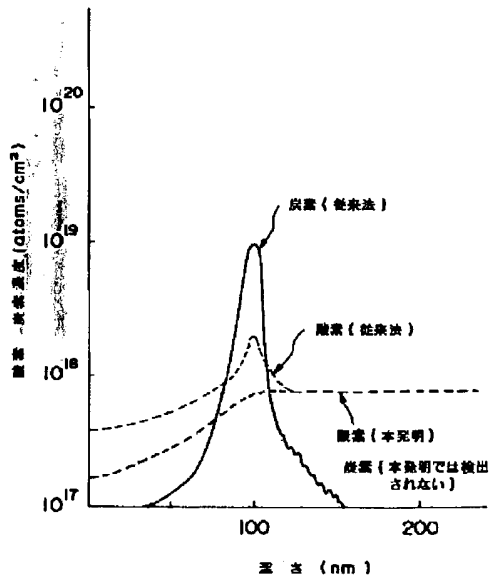
【図1】



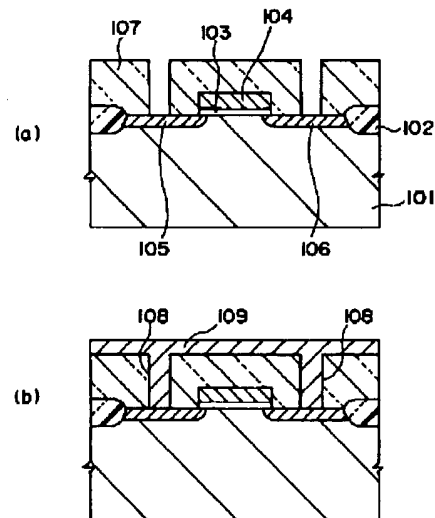
【図2】



【図3】



【図4】



【図5】

